

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-122551
 (43)Date of publication of application : 12.05.1995

(51)Int.Cl. H01L 21/31
 C09D183/04
 H01B 3/46

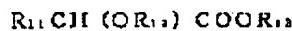
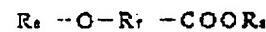
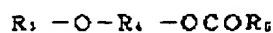
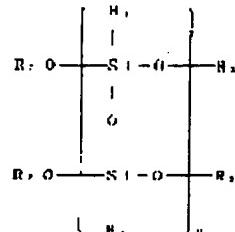
(21)Application number : 05-267457 (71)Applicant : SHOWA DENKO KK
 (22)Date of filing : 26.10.1993 (72)Inventor : NANBA YOICHI
 MATSUI FUMIO

(54) DEPOSITION OF INSULATION FILM OR PLANARIZATION FILM FOR SEMICONDUCTOR

(57)Abstract:

PURPOSE: To allow filling even of a micro pore by several times of coating by employing a solution of polymethyl silsesquioxane dissolved into an organic solvent represented by a specified formula when elements on a semiconductor substrate is coated with polymethyl silsesquioxane having number-average molecular weight within a specific range.

CONSTITUTION: Polymethyl silsesquioxane having number-average molecular weight of 500-10000 shown by formula I (in the formula, R₁ represents a methyl group, R₂ represents a 1-4C alkyl group and/or a hydrogen atom, and n is a positive number corresponding to the molecular weight) is dissolved into a solvent containing a mixture of one or more than one kind of solvents shown by formulas II-IV. (In the formula, R₃, R₅, R₆, R₈-R₁₃ represent 1-4C alkyl group, and R₄, R₇ represent 2-4C alkyne group.) A micro pore having diameter of 1 μm or less is filled by coating the solution one or two times. This method allows filling of micro pore with high planarity in multilayer wiring.



LEGAL STATUS

- [Date of request for examination] 16.05.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-122551

(19)公開日 平成7年(1995)5月12日

(51)InCL:

H01L 21/31

C09D 183/04

H01B 3/46

登別記号

序内機械番号

FI

技術表示箇所

PMS

Z 9053 5G

H01L 21/31

零告請求 本願次 請求項の数 2 0L (全 6 頁)

(21)出願番号

特願平5-267457

(71)出願人

昭和電工株式会社

東京都港区芝大門1丁目13番9号

(22)出願日

平成5年(1993)10月26日

(72)発明者

南波 洋一

神奈川県川崎市川崎区大川町5番1号 昭和電工株式会社化学品研究所内

(72)発明者

松井 一二三

神奈川県川崎市川崎区大川町5番1号 昭和電工株式会社化学品研究所内

(74)代理人

弁理士 寺田 貴

(54)【発明の名称】 半導体用絶縁膜または平坦化膜の形成方法

(57)【要約】

【目的】 半導体の絶縁膜、平坦化膜を形成するのに、脱ガス棒などの品質に優れ、平坦化特性が完全平坦化ベルを有し、穴の直径が1.0μm以下の楕円状の形状の微細穴に対しても、1～2回露布による理の込みができるることまで改善する。

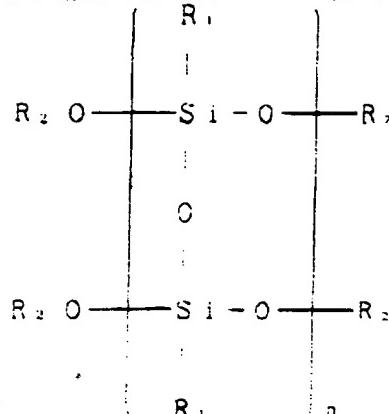
【構成】 ポリメチルシルセスキオキサンを、必須成分としてプロピレングリコールモノアルキルエーテルアセテート類、3-アルキニシプロピオン酸ニステル類、乳酸ニステル類、乳酸ニーカルエスケル類などを含む溶剤に溶解させた浴液を使用し、100～200℃で溶剤を揮散させ次に200～300℃の温度で加熱硬化することにより、130～220℃の軟化による再流动化現象を起さず、加熱硬化させる半導体用の浴液膜または平坦化膜の形成方法。

(2)

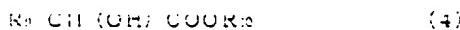
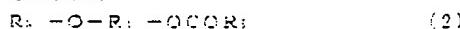
特别平7-122351

〔特許請求の範囲〕

【請求項1】 直径が1.2m以下の微細大を有する半導体粒子をヨーティングするに際し、下記の式



(式中、R₁ はメチル基を、R₂ は炭素数 1 ~ 4 のアルキル基及び／または水素原子を示し、n は分子量に対応する正の数である。) を下記一般式 (2) ~ (5) で示される溶剤



(式中、 R_1 、 R_2 、 R_3 、 R_4 、 R_5 、 R_6 は炭素数1～4のアルキル基を、 R_7 、 R_8 はアルキル基で置換可能な炭素数2～4のアルキレン基を示す。) の一種または二種以上の混合物を含む浴剤に溶解させた浴液を使用し、該微細大を埋め込むことを特徴とする半導体用绝缘膜または平坦化膜の形成方法。

【請求項2】 ポリメチルシルセスキオキサンを溶解させた溶液を半導体素子上にコーティングした後、100～200℃の温度で浴剤を発発させ次いで200～300℃の温度で加热硬化させて、ポリメチルシルセスキオキサンの軟化による再運動化をさせることにより請求項1に記載の半導体用接着膜または平坦化膜の形成方法。

〔光明の詳細な説明〕

(0001)

【要素上の利用分野】本分明は、高度に集積化された半導体素子上への新颖な绝缘膜または半導化膜の形成方法に関する。

10002

【従来の技術】 I-S の高集積化と共に配線の多層化が不可避となってきたが故に、同格の信頼性を維持する上で層間絶縁膜及び半導化膜の必要性が増してきている。逆に層間絶縁膜等の形成力的には一般に気相法 (CVD 法) により緻密な SiO_x 膜を堆積し、チートリニトロキシシランに代表される無機系のポリミドキサン接着膜 (無機 SiOC) を塗布法で形成すると共に、この無機 SiOC 膜の

(1) で示される数平均分子量 500 ～ 10,000 の
ポリメチルシルキスopolマー

{ 12 }

上下を致密なCVD法、SiO₂膜でテンショナ化する方法が採用されてきた。しかし、半導体の高密度化、多層配線化が進むにつれ互接端、バシント明の導入(スルホル)が狭くなり、配線幅と配線高さの比であるアスペクト比は益々大きくなっている。このため、SiO₂導線を削くしかないが、黒焼SOG膜では0.2~0.3μm以上にするとクラックが発生し易い欠点があり、使用するには問題がある。

【0003】そこで近時後而前で代表されるテトラヒドロキシンラン系被膜(無機SO₃)の厚膜化、耐クラック性や平坦化能力の問題を解決するために、アルキルトリエトドキシンランなどのいわゆる有機SO₃を厚膜塗装膜(平坦化膜)として使用することが提案されている。この場合には構部を除いて有機SO₃硬化膜を除去するニッヂバック法が採用されることが多い。しかし、この有機SO₃膜にもいくつかの問題点があることが指摘されている。例えば、二重反応に対する要求が増し、従来のアルキルトリエトドキシンランでは「局所的平坦化」といわれるアーチ化レベルまでしか実現できず、界面の微細化、集膜化が進むにつれ所望されている「完全平坦化」といわれるレベルへの到達は困難なため、配線部とスペース部に絶対段差があり、多層配線化が3層、4層、5層と並行につれ配線部とスペース部に絶対段差が残り、後二回リソグラフィーでのスッペーパー焦点深度(フォーカスマージン)が狭くなる等の問題点が懸念されている。

[0004] 更に、半導体素子内に形成した、前章状など種々の形状を有し、かつ穴の直径が $1\text{ }\mu\text{m}$ 以下であるような微細穴を設け、各種機能を発現させる高度な集積化の設計技術も急速に進展してゐる。アルキルトリitolドロキシシランのような群衆タイプの有機SOGでは上述のような $1\text{ }\mu\text{m}$ 以下の微細穴には、1～2回の曝露では埋め込みが不可能であり、また多数回の曝露により目的

(3)

特開平7-123331

とする绝缘膜または半導化膜を得たとしても、尚、ポリドが残りデバイスの性能評価試験で不合格にならうのが出るなど信頼性の問題があった。

【0005】

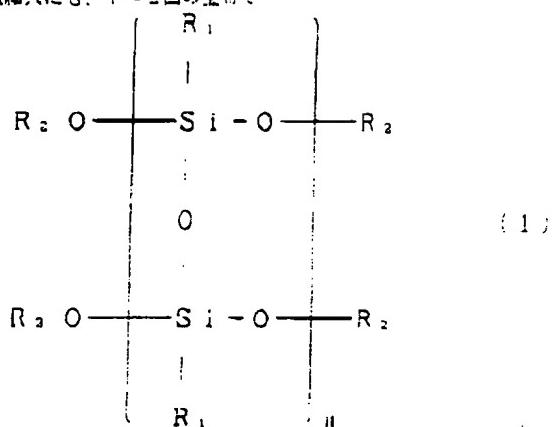
【発明が解決しようとする課題】本発明は、上述した従来技術の問題点を解決する目的でなされたものであり、「光子半導化」に限りなく近いレベルの平坦性と共に、井戸状、嵴丘状など種々の形状を有し、かつ穴の直径が1μm以下であるような微細穴にも、1~2回の塗布で

物理的遮蔽能を有する半導化膜または半導化膜の形成方法を提供することを目的とする。

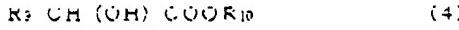
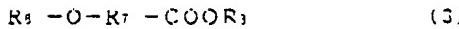
【0006】

【課題を解決するための手段】本発明は、凹凸が1μm以下である微細穴を有する半導体基板上にコートする際に、上記一般式(1)で示される数平均分子量500~10,000のポリメチルシルセスキオキサン

【化1】



(式中、R₁はメチル基を、R₂は炭素数1~4のアルキル基及び/または水素原子を示し、nは分子量に対応する正の数である。)を下記一般式(2)~(5)で示される溶剤



(式中、R₂、R₃、R₄、R₅~R₈は炭素数1~4のアルキル基を、R₄、R₅はアルキル基で置換可能な炭素数2~4のアルキレン基を示す。)の一種または二種以上の混合物を含む溶剤に溶解させた溶液を使用し、該微細穴を埋め込むことを特徴とする半導体用绝缘膜または半導化膜の形成方法に関するもの。

【0007】また、上記ポリメチルシルセスキオキサンを溶解させた溶液を半導体基板上にコートする後、100~200℃の温度で溶剤を蒸発させ次いで200~500℃の温度で加熱硬化させて、ポリメチルシルセスキオキサンの軟化による可流动化をせらる上記の半導体用绝缘膜または半導化膜の形成方法に関するもの。

【0008】以下、本発明を詳しく説明する。本発明で用いられる一般式(1)のポリメチルシルセスキオキサンにおいて、例鋼のR₁はメチル基であることが望ましいが、10モル%未満の範囲で、他の有機基、例えば低級アルキル基やフェニル基であっても使用することができる。また、該ポリメチルシルセスキオキサンの数平均分子量は、ポリスチレン標準試料を用いて、GPC(ゲ

ル・バーミエーション・クロマトグラフィー)法により測定しうるが、数平均分子量として1,500~10,000が好ましい。数平均分子量が500より小さいと高溫加熱時及び硬化時の収縮率が大きくなり、結果として微細配管、特にアスペクト比が大きな部や断面の微細穴におけるコートが難しくなる。また、数平均分子量が10,000より大きいと有機溶剤に対する溶解性が不充分となるのみならず、全溶液の粘度が高くなり前述の微細穴に対する埋め込み性が不充分となる。更に硬化過程での再流动化特性も阻害され、半導化特性が不適となる。

【0009】本発明における一般式(1)ポリメチルシルセスキオキサンを半導体基板上にコートする際には、有機溶剤に溶解した溶液として用いる。本発明の分子量域のポリメチルシルセスキオキサンは多種の有機溶剤に溶解できるが、本発明においては、前記一般式(2)~(5)で示される溶剤の一種または二種以上の混合物を含む溶剤を用いることが必須である。例えば、一般式(2)として、ブリビレンジリカルモニアルキルエーテルアセテート(具体例としてはブリビレンジリカルモニアルキルエーテルアセテート)、一般式(2)として、3-アルコキシノコビオニ酸ニペアル(具体例としては3-メトキシプロピオニ酸メアル、コメトキシプロピオニ酸メアル)、一般式(3)として、乳酸エステル類(具体例としては乳酸メチル、乳酸エチル)、一般式(4)として、乳酸エーテルエステル類(具体例としては乳酸メチルエーテル、乳酸エチル)

{4}

約開二 7 - 1 2 2 5 5 1

デルメタルポーラル）等が挙げられる。その中でも特に、溶剤沸点が100～200℃のものもしくは、スピニート塗装後、溶剤を完全に蒸発させて成膜させるブロセスの設定が容易であるため好ましい。沸点が100℃以下ではスピニート層下部の蒸発速度が早すぎるとため塗布膜厚の均一性が得られにくく、また沸点が210℃以上のある沸点高溶剤においては、本発明のポリメチルシルセスキオキサンの硬化反応の開始温度が約200℃であるため、液中に溶剤が残存し良好な膜質が得られにくくなる懸念がある。

[10010] 本発明における一般式 (1) のポリメチルシルセスキオキサンを溶解する溶剤としては、アルキル類、エーテル類、エスチル類、ケトン類、及び芳香族炭化水素類等があり、これらの一例に用いられている溶剤を上記の必須成分である溶剤に一部併用して用いることができる。これらの溶剤としては例えばアルコール類としては、メチルアルコール、エチルアルコール、ブタノールアルコール、プロピルアルコール、ヘキサンアルコール等アルキルアルコール等である。ジエチレンジオキソアルキルエーテル等を挙げることができ。エスチル類としては、酢酸アルキルエスチル等を挙げることができる。また、ケトン類としては、例えばアセトノン、メチルイソブチルケトン、シクロヘキサンノン、メタルイソブチルケトン等を挙げることができ。芳香族炭化水素類としては、例えば、ベンゼン、ジエチルベンゼン、クタン等を挙げることができる。

(U011) これら一液溶剤と上記一式(2)～(5)の必須成分との組み合せにおいて、必須成分は少なくとも10%、好ましくは20%以上を含む溶剤とする。必須成分が10%以下では、本発明の目的とする微細穴への埋め込み性が不満足となる。有機溶剤溶液中のポリメチルシロキサンの固形分濃度はコーティング方法にによるが、通常は2～50重量%、好ましくは10～20重量%である。また、本発明のポリオルガノシルセスキオキサン溶液には必要に応じてレベリンガ酸、カップリング剤、増粘剤、充填剤、その他の添加剤を加えて使用しても良い。

【0012】本発明の半導体用絶縁膜または平坦化膜の形成方法は、半導体素子内に各積層を発現させるための井戸状、納金状など種々の形状を有し、かつ穴の直径が1μm以下であるような微細穴を有する半導体素子をニードリングするに際して適用することが望ましい。ボリメタルシリコンエキオキサン溶液を基板上にコーティングするに際しては、通常はスピンドルコーティング法が採用される。また、必要に応じてディップコーティング、スプレーコーティング、その他の方法でコーティングしても良い。またボリメタルシリコンエキオキサン溶液を半導体素子上にコーティングするに際しては、記録面上にあらかじめ気相法によるSiO₂膜を形成しておくのが一般的である。

[0013] 本発明の方法によって形成されるポリオルガノシルヒドロキサン塗膜の膜厚は0.01~2.0μmの範囲で自由に選択することができる。特に膜厚が1μm以上になってもクラックを生じないので、アスペクト比(全塗膜高さ/全塗膜スペース幅)が1以上の狭くて深い溝になつていても記録面の凹部をそのまま平坦化する事が可能であり、(1)前記述の繊細で強大なヘリカルティングにおいてもクラックなく埋め込まことが可能である。これらの膜厚は、多数回の塗布によらずとも、1~2回のミーティングでも得ることができる。

[0014] 本発明はポリオルガノシルセスキオキサン溶液をヒートティングした後、100～200°C、好ましくは100～150°Cの温度で1～30分間溶剤を実質的に完全に蒸発させ、つぎに200～300°C、好ましくは250°C～450°Cの温度で1～120分間加熱することによって行い、これらの加熱硬化条件は生じていう有機溶剤の種類や量、及びペーパーレイを行なう装置の種類により異なるので、硬化に先立ち予め充分な予備加熱を行い、有機溶剤を蒸発除去した後、前記一般式(1)で示されるポリオルガノシルセスキオキサンの構成である！30～220°Cでの硬化による共重合化を行う熱化条件を設定することが好ましい。硬化の温度は被成材料である半導体基板構成材料の耐熱性から許容される範囲でなくべく高温にすることが硬化後の塗膜の膜質（脱ガス活性など）並び硬化プロセスの所要時間の面から望ましいが、本発明で用いるポリメチルシルセスキオキサンでは350～450°C、30～60分の温度条件でほぼ完全に重合硬化させることが可能であるので、半導体基板構成材料に悪影響を及ぼす熱歴盛をなるべく少なくてするという点で極めて有利である。

100131

【作用】本発明には、結果的には正米の有機物の問題点をポリメチルシルanesキオキサンの配合溶剤組成、マーク条件を適宜選択してこれを逐成したものである。從來のアルキルトリエドヨウシンラン等の有機物のものは、反応開始温度が120°C付近と低いだけでなく、高沸点の溶剤を配合しているため、溶剤を蒸発させてから成膜(硬化)させるマーク条件の設定が難しく、良好な膜質を得ることが困難であるばかりでなく、硬化架橋反応が低温から始まってしまうため硬化過程での軟化による再塑動化といった現象も耐候できない。このため硬化膜の平坦化度は「局所的平坦化」のレベルに止まらざるを得なかつた。また、半導体素子内での穴の直径1.0μm以下の丸穴状、鋸歯状など種々の形状の微細穴に対しても、1~2日の塗布による埋め込みが不可能であつて

〔0016〕これに対しても、本発明のポリスチレン等をメキオキドンと前記の一般式(2)、(3)、(4)、(5)で示される溶剤を必須成分として含む溶剤配合系は、比較的低沸点の溶剤配合のことで半導体基板への塗布

均一性を確保すことが可能であること、硬化反応開始温度が200°C付近と高いため、溶剤を発泡させてから成膜(硬化)させるべく条件の設定が容易で品質の安定化が図れること、ラジータイプのポリメチルシルセスキオキサンを硬化せしめるため熱発泡性に優れ良好な品質が得られること、さらに硬化過程で硬化による再流动化現象が起り、このため硬化膜の平坦度は「完全平坦化」に限りなく近いレベルまで可能であること、井戸穴、鋸歯状など種々の形状を有し、かつ穴の直径が1.0μm以下であるような微細部穴に対しても、1~2回塗布による埋め込みが実現できる。

【0017】

【実施例】以下、実施例及び比較例を挙げて本発明を更に詳細に説明する。追し本発明はこれらこれらに限定されるものでない。尚、実施例及び比較例中の各物性値は商品ペアシリコンエバ、再生ペアシリコンエバ、バターンエバに塗布したものを測定下記の方法に従って測定した。

(1) スピンコート方法

スピナー1H360型(三共ケミングクター製)を使用し、SOG溶液を約mLを基板上に滴下し、60 rpm 3秒、次いで4000 rpm 15秒間回転し、塗布膜を得た。

(2) ベーキング方法

SOG膜をスピニートしたウエハ基板をホットプレート上に置いた後、クリンオーブンDT42R(ヤマト科学社製)にて加熱硬化せしめた。

(3) 膜厚の測定方法

マイクロメーター(偏光屈折装置) L-24-15c-820(ガードナー製)にてシリコンエバ基板上の膜厚を測定した。

(4) 再流动化

バターンエバ上にスピニートし、幅1.00μm角、高さ1.0μmのバッド(極端配線電極)部の全膜形状を、硬化前後(ホットプレート溶剤揮散後とクリンオーブン加熱硬化後)について数分干涉顕微鏡、デクタックで測定した。また、SOG溶液をりいで、12時間加熱し溶剤を揮散させた固体試料を作成し、高温型熱機械的分析装置(TMA-30:セイコー電子工業製)にて軟化点を測定した。

(5) 平坦化特性

配線幅サブミクロン～数μm、スペース幅サブミクロン～数μmにわたる様々なバッターンを含むテストバターンエバ上に約0.05μmコートし成膜したときの断面SEM観察により平坦化度をみた。

(6) 微細穴埋め性

テストバターンエバ上にSOGをコートし成膜したときの半導体素子内での穴の直径1.0μm以下の井戸状、鋸歯状など種々の形状の微細穴に対しての埋め込み性を断面SEM観察によりみた。結果は「大変良い」。

「良い」、「普通」、「悪い」で判断し、表1に各々、◎、○、△、×で示した。

【0020】(実施例1)前記(収式1)において、数平均分子量がMn=3000、ポリメチルシルセスキオキサン1.6重量部をエタノール、ブタノール、及び1,1-メトキシプロピル酸メチル(MMP)の混合溶剤(重量比=55:27:18)3.4重量部に溶解して塗布液を得た。上記塗布液をペアシリコンエバ上で3500rpmとなるようにバターンエバ上にスピニートし、ホットプレートにて180°C 2分溶剤を揮散させ、次いで350°C 30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0021】(実施例2)前記実施例1と同様のポリメチルシルセスキオキサン1.6重量部をエタノール、ブタノール、及びプロピレンジカルメチルエーテルアセテート(PMA)の混合溶剤(重量比=55:27:18)3.8重量部に溶解して塗布液を得た。上記塗布液をペアシリコンエバ上で4000rpmとなるようにバターンエバ上にスピニートし、ホットプレートにて180°C 3分溶剤を揮散させ、次いで400°C 30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0022】(実施例3)前記実施例1と同様のポリメチルシルセスキオキサン1.6重量部をエタノール、ブタノール、及び開錠ニトリルエーテルの混合溶剤(重量比=55:20:25)3.4重量部に溶解して塗布液を得た。上記塗布液をペアシリコンエバ上で3500rpmとなるようにバターンエバ上にスピニートし、ホットプレートにて180°C 2分溶剤を揮散させ、次いで400°C 30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0023】(実施例4)前記実施例1と同様のポリメチルシルセスキオキサン1.7重量部をエタノール、ブタノール、及びプロピレンジカルメチルエーテルアセテート(PMA)の混合溶剤(重量比=55:25:20)3.8重量部に溶解して塗布液を得た。上記塗布液をペアシリコンエバ上で4000rpmとなるようにバターンエバ上にスピニートし、ホットプレートにて250°C 3分溶剤を揮散させ、次いで400°C 30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0024】(比較例1)前記実施例1と同様のポリメチルシルセスキオキサン1.9重量部をエタノール、ブタノールの混合溶剤(重量比=55:15)3.7重量部に溶解して塗布液を得た。上記塗布液をペアシリコンエバ上で4000rpmとなるようにバターンエバ上にスピニートし、ホットプレートにて180°C 3分溶剤を揮散させ、次いで400°C 30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

(6)

特開平7-122551

果を表1に示す。

【0025】(比較例2)メチルトリエトロキシシラン
1-4重錆部をメタノールとブロビングリコールブチル
テーナル(PGB)の混合溶剤(重量比=30:70)
8.6重量部に溶解した金液液を用いて、実施例1と同様
にスピンドルトし、ホットプレートにて180°C3分浴

剤を分散させ、次いで400°C30分クリンオーブンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0026】

【元】

	溶剤組成	ペーク条件	塗布性	再流動化	平坦化特性	微細穴 埋めめ性
実施例1	エタノール ブタノール MMP	180°C2分 350°C30分	○	○	○	◎
実施例2	エタノール ブタノール PMA	180°C3分 400°C30分	○	○	○	◎
実施例3	エタノール ブタノール 乳酸エチル エーテル	180°C3分 400°C30分	○	○	○	◎
実施例4	エタノール ブタノール PMA	250°C3分 400°C30分	○	△	△	○
比較例1	エタノール ブタノール	180°C2分 400°C30分	△	○	○	×
比較例2	メタノール PGB	180°C2分 400°C30分	○	×	×	×

【0027】

【実用の効果】本発明により、従来の有機SOGを適用した場合には多数回の塗布により行っていた、微細配線を含むパターンの平坦性並びに半導体素子内に各種設施を発現さうるための微細穴の埋めめ性についての問題が

を、1~2回の塗布により解決すると同時に、得ての高柔軟化(より微細なパターン)、多層配線化に伴う、質の高い平坦性の要求(完全平坦化)や微細穴の穴埋め性を達成し得る、共用性のある半導体用被膜及びまたに平坦化膜及びそれらの形成方法が提供される。

Methods for forming moisture blocking layers

Patent Number: US5866476

Publication date: 1999-02-02

Inventor(s): LEE HAE-JEONG (KR); CHOI JI-HYUN (KR); GOU JU-
SON (KR); HWANG BYUNG-KEUN (KR)

Applicant(s):: SAMSUNG ELECTRONICS CO LTD (KR)

Requested
Patent: JP9330982

Application
Number: US19970826483 19970327

Priority Number
(s): KR19960009578 19960330

IPC
Classification: H01L21/316

EC
Classification: H01L21/316B2B, H01L21/316, H01L23/00V,
H01L23/532N

Equivalents: KR255659

Abstract

A method for forming an insulating layer for a microelectronic device includes the steps of forming a conductive pattern on a surface of a microelectronic substrate, and forming a spin-on-glass layer on the surface of the microelectronic substrate covering the conductive pattern. The spin-on-glass layer is baked at a temperature in the range of 400 DEG C. to 750 DEG C., and a moisture blocking layer is formed on the baked spin-on-glass layer. By reducing moisture absorbed from the air into the spin-on-glass layer, a relatively low etch rate and a relatively low dielectric constant can be maintained for the spin-on-glass layer. Related structures are also discussed.

Data supplied from the esp@cenet database - I2

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.